

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-164210

(43)公開日 平成11年(1999)6月18日

(51) Int.Cl.<sup>6</sup>

識別記号

FI

H 0 4 N 5/335

H 0 4 N 5/335

$$\mathbf{Z}$$

H0 1 L 27/146

H01L 27/14

A

// H04N 7/32

H04N 7/137

**Z**

審査請求 未請求 請求項の数4 OL (全 15 頁)

(21)出願番号

特願平9-327681

(22) 出願目

平成9年(1997)11月28日

(71)出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(72)発明者 石田 知久

東京都千代田区丸の内3丁目2番3号 株

式会社ニコン内

(74)代理人 弁理士 古谷 史旺 (外1名)

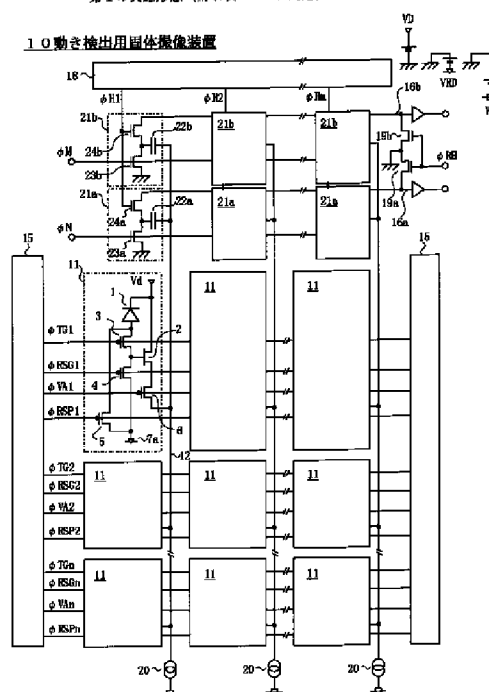
(54) 【発明の名称】 動き検出用固体撮像装置

(57) 【要約】

【課題】 本発明は、動き検出用固体撮像装置に関し、外部での動き検出回路などを不要とし、かつ電子シャッター機能を備えることを目的とする。

【解決手段】 複数の受光部(1)と、受光部ごとの増幅素子(2)と、増幅素子のリセット回路(4)と、受光部から増幅素子へ電荷転送する電荷転送回路(3)と、垂直読み出し線(12)と、増幅素子と垂直読み出し線とを断続する読み出し回路(6)と、読み出し回路を介し前フレームを読み出す前フレーム垂直転送手段(15の一部)と、電荷転送回路による増幅素子の信号電荷を更新後、読み出し回路を介し現フレームを読み出す現フレーム垂直転送手段(15の一部)と、上記2フレームを比較する比較回路(21b)と、比較回路の出力を水平転送する水平転送回路(18)と、受光部の電荷を排出する不要電荷排出回路(5)と、電荷転送回路の遮断中に不要電荷排出回路を駆動する電子シャッター回路(15の一部)とを備えて構成する。

第1の実施形態（請求項1～3に対応）を示す図



## 【特許請求の範囲】

【請求項 1】 マトリックス状に配列され、入射光に応じて信号電荷を生成する複数の受光部と、前記受光部ごとに設けられ、電荷を蓄積する制御領域を有し、該制御領域の蓄積電荷に対応した電気信号を出力する増幅素子と、前記増幅素子の制御領域をリセットするリセット回路と、前記受光部に生成される信号電荷を、前記増幅素子の制御領域へ転送する電荷転送回路と、前記受光部の垂直列ごとに設けられる垂直読み出し線と、前記増幅素子ごとに設けられ、前記増幅素子から出力される電気信号を前記垂直読み出し線に読み出す読み出し回路と、前記電荷転送回路を遮断して、前フレームの信号電荷を前記制御領域に保持させたままの状態、で、特定行の前記読み出し回路を選択的に駆動して、前フレームの電気信号を前記垂直読み出し線に読み出す前フレーム垂直転送手段と、前記特定行の前記電荷転送回路を駆動して、現フレームの信号電荷を前記制御領域に保持させ、この状態で、前記特定行の前記読み出し回路を駆動して、現フレームの電気信号を前記垂直読み出し線に読み出す現フレーム垂直転送手段と、前記垂直読み出し線ごとに設けられ、前記垂直読み出し線を介して時分割に読み出される前フレームの電気信号と現フレームの電気信号とを比較する比較回路と、前記比較回路からの各出力を水平転送する水平転送回路と、前記受光部ごとに設けられ、前記受光部に生成される不要電荷を排出する不要電荷排出回路と、前記電荷転送回路の遮断期間中に、前記受光部に生成される不要電荷を前記不要電荷排出回路を介して排出し、前記受光部における前記信号電荷の蓄積時間を制限する電子シャッタ回路とを備えたことを特徴とする動き検出用固体撮像装置。

【請求項 2】 請求項 1 に記載の動き検出用固体撮像装置において、前記垂直読み出し線を介して時分割に読み出される前フレームの電気信号もしくは現フレームの電気信号のどちらか一方を選択的に取り込んで、水平転送する画像信号出力回路を備えたことを特徴とする動き検出用固体撮像装置。

【請求項 3】 請求項 2 に記載の動き検出用固体撮像装置において、前記リセット回路の駆動により前記増幅素子の制御領域が一定電圧に初期化された状態で、特定行の前記読み出し回路を選択的に駆動し、前記増幅素子から出力される電気信号（暗信号）を前記垂直読み出し線に読み出す暗

信号垂直転送手段と、

前記垂直読み出し線を介して時分割に読み出される前記暗信号を標本する標本回路とを備え、

前記画像信号出力回路は、

「前フレームの電気信号」もしくは「現フレームの電気信号」の一方から、前記標本回路に標本された前記暗信号の分を減じた信号を出力することを特徴とする動き検出用固体撮像装置。

【請求項 4】 請求項 1 ないし請求項 3 のいずれか 1 項に記載の動き検出用固体撮像装置において、

前記比較回路は、

現フレームの電気信号と前フレームの電気信号とが許容範囲内で一致するか否かを判定し、判定結果の真偽に応じて 2 値化信号を出力する回路であることを特徴とする動き検出用固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、フレーム間の差異に基づいて動き検出を行う動き検出用固体撮像装置に関する。特に、本発明は、電子シャッタ機能を備えた動き検出用固体撮像装置に関する。

## 【0002】

【従来の技術】従来、固体撮像装置を介して画像データを順次に撮像し、これら画像データのフレーム間差から動体検出を行う動き検出用画像処理装置が知られている。図 9 は、この種の動き検出用画像処理装置 100 を示す図である。図 9 において、動き検出用画像処理装置 100 は、固体撮像装置 101 と、固体撮像装置 101 からの画像信号（アナログ信号）をデジタル信号に変換する A/D 変換回路 102 と、A/D 変換回路 102 からのデジタル信号を保存する画像メモリ（第 1 の画像メモリ）103 及び画像メモリ（第 2 の画像メモリ）104 と、該画像メモリ 103、104 に保存されているデジタルの画像データを互いに比較して動きを検出する画像処理回路 105 とで構成されている。

【0003】このような構成の動き検出用画像処理装置 100 では、まず、固体撮像装置 101 で得られた第 1 フレームの画像信号（アナログ信号）が A/D 変換回路 102 でデジタル信号に変換された後、第 1 の画像メモリ 103 に保存される。次に、第 1 のフレーム（直前のフレーム）に後続する第 2 のフレームにおいて、固体撮像装置 101 によって得られた画像信号（アナログ信号）が A/D 変換回路 102 でデジタル信号に変換された後、第 2 の画像メモリ 104 に保存される。

【0004】画像処理回路 105 では、第 1 の画像メモリ 103 に保存されているデジタル信号と、第 2 の画像メモリ 104 に保存されているデジタル信号とを、画素単位に比較し、所定値以上異なる画素を検出する。このような、フレーム間の比較により、被写体中の動体検出を行うことが可能となる。

## 【0005】

【発明が解決しようとする課題】しかしながら、上記従来の動き検出用画像処理装置100では、固体撮像装置101の周辺回路が複雑で、動き検出用画像処理装置100全体が大型化し、かつ高価になるという不具合があった。また、固体撮像装置101から出力される画像信号はアナログ信号であり、そのアナログ信号のままAD変換回路102に供給される。そのため、アナログ信号の伝送路が引き回されることとなり、周辺雑音の影響を受けやすいという不具合も生じていた。

【0006】さらに、上記従来の動き検出用画像処理装置100では、画像信号（アナログ信号）のダイナミックレンジが、AD変換回路102で制限される。通常、AD変換回路102の入力ダイナミックレンジは、固体撮像装置101のダイナミックレンジより狭いため、動体の検出処理の過程で固体撮像装置101の広いダイナミックレンジが有効に利用できないという不具合もあった。

【0007】また、外部の画像処理回路105において、前フレームの電気信号と現フレームの電気信号との比較を行う場合、AD変換回路102における変換時の同期ズレなどのために、比較すべき画素位置にわずかな位相ズレが生じるおそれがあった。もしも、このような位相ズレが生じた場合、静止体であってもエッジ部分などでフレーム間差を生じてしまうため、動体検出の精度や信頼性が著しく低くなるという不具合を生じていた。

【0008】以上のような不具合を避けるために、固体撮像装置101の画素ごとに直前のフレームと現在のフレームでの画像信号を記憶するためのメモリを設け、さらにこのメモリに記憶された画像信号を比較する比較回路を画素ごとに設けて、各画素ごとに動体をあらわす信号を生成することも考えられる。しかしながら、このような対策では、各画素の構造が複雑になり、固体撮像装置101の開口率の低下や、解像度の低下を引き起こすという不具合が生じる。

【0009】さらに、上記の対策では、各画素から動き検出信号のみが出力されるため、固体撮像装置において元来出力されるべき画像信号を、同時に得られないという不具合もあった。また、上記の対策では、各画素の構造が複雑となるため、画素ごとに電子シャッタ機能を付加することが、半導体スペース上から困難となる。

【0010】特に、被写体の早い動きによって像が流れた場合、フレーム間差から動体の位置などを正確に検出することが不可能となる。そのため、動き検出用の装置としては電子シャッタ機能を備えていることが実用上好ましく、そのような要望に応えることが肝要となる。そこで、請求項1に記載の発明では、動き検出に当たって外部での画像比較処理を不要とし、かつ電子シャッタ機能を備えた動き検出用固体撮像装置を提供することを目的とする。

【0011】請求項2に記載の発明では、請求項1の目的と併せて、動き検出の信号と画像信号とを同時に出力可能とした動き検出用固体撮像装置を提供することを目的とする。請求項3に記載の発明では、請求項2の目的と併せて、暗信号分を取り除いた高品質の画像信号を出力する動き検出用固体撮像装置を提供することを目的とする。

【0012】請求項4に記載の発明では、請求項1の目的と併せて、被写体の動きを判定する機能を有する動き検出用固体撮像装置を提供することを目的とする。

## 【0013】

【課題を解決するための手段】（請求項1）請求項1に記載の発明は、マトリクス状に配列され、入射光に応じて信号電荷を生成する複数の受光部と、受光部ごとに設けられ、電荷を蓄積する制御領域を有し、該制御領域の蓄積電荷に対応した電気信号を出力する増幅素子と、増幅素子の制御領域をリセットするリセット回路と、受光部に生成される信号電荷を、増幅素子の制御領域へ転送する電荷転送回路と、受光部の垂直列ごとに設けられる垂直読み出し線と、増幅素子ごとに設けられ、増幅素子から出力される電気信号を垂直読み出し線に読み出す読み出し回路と、電荷転送回路の転送動作を遮断して、前フレームの信号電荷を制御領域に保持させたままの状態、特定行の読み出し回路を選択的に駆動して、前フレームの電気信号を垂直読み出し線に読み出す前フレーム垂直転送手段と、特定行の電荷転送回路を駆動して、現フレームの信号電荷を制御領域に保持させ、この状態で、特定行の読み出し回路を駆動して、現フレームの電気信号を垂直読み出し線に読み出す現フレーム垂直転送手段と、垂直読み出し線ごとに設けられ、垂直読み出し線を介して時分割に読み出される前フレームの電気信号と現フレームの電気信号とを比較する比較回路と、比較回路からの各出力を水平転送する水平転送回路と、受光部ごとに設けられ、受光部に生成される不要電荷を排出する不要電荷排出回路と、電荷転送回路の遮断期間中に、受光部に生成される不要電荷を不要電荷排出回路を介して排出し、受光部における信号電荷の蓄積時間を制限する電子シャッタ回路とを備えて、動き検出用固体撮像装置を構成する。

【0014】このような構成により、請求項1に記載の動き検出用固体撮像装置では、個々の増幅素子の制御領域において、前フレームの信号電荷を保持する。前フレーム垂直転送手段は、増幅素子からこのとき出力される前フレームの電気信号を垂直読み出し線へ出力する。一方、現フレーム垂直転送手段は、現フレームの信号電荷が増幅素子の制御領域に転送した後、増幅素子から出力される現フレームの電気信号を垂直読み出し線へ出力する。

【0015】このような動作により、垂直読み出し線には「前フレームの電気信号」と「現フレームの電気信

号」とが時分割に出力される。比較回路では、このように時分割出力される「前フレームの電気信号」と「現フレームの電気信号」とを垂直読み出し線ごとに取り込み、これらの比較を行う。水平転送回路では、比較回路の出力を水平転送し、動き検出信号として出力する。

【0016】また特に、請求項1に記載の動き検出用固体撮像装置においては、受光部の不要電荷を排出する不要電荷排出回路と、その不要電荷排出回路を制御して電子シャッタ動作を実現する電子シャッタ回路とを設けている。この電子シャッタ回路は、電荷転送回路の転送動作の遮断中に、不要電荷排出回路を介して受光部の不要電荷を排出する。したがって、電子シャッタ動作に際して、制御領域に保持された前フレームの信号電荷を損なうことがない。

【0017】なお、請求項1に記載では「フレーム」という表現を用いているが、これは1コマ分の画像という本来の意味である。それ故、請求項1に記載の動き検出用固体撮像装置は、プログレッシブ走査を行うものに限定される必要はなく、例えばインターレース走査を行うようなものでもかまわない。このようなインターレース走査においては、現フィールドと、現フィールドより以前のフィールドとの差異に基づいて動き検出が行われる。

【0018】（請求項2）請求項2に記載の発明は、請求項1に記載の動き検出用固体撮像装置において、垂直読み出し線を介して時分割に読み出される前フレームの電気信号もしくは現フレームの電気信号のどちらか一方を選択的に取り込んで、水平転送する画像信号出力回路を備えたことを特徴とする。

【0019】このような構成では、垂直読み出し線上の電気信号を選択的に出力するので、動き検出の動作を特に妨げることがない。したがって、動き検出の信号と画像信号とを同時に出力することが可能となる。（請求項3）請求項3に記載の発明は、請求項2に記載の動き検出用固体撮像装置において、リセット回路の駆動により増幅素子の制御領域が一定電圧に初期化された状態で、特定行の読み出し回路を選択的に駆動し、増幅素子から出力される電気信号（暗信号）を垂直読み出し線に読み出す暗信号垂直転送手段と、垂直読み出し線を介して時分割に読み出される暗信号を標本する標本回路とを備え、画像信号出力回路は、「前フレームの電気信号」もしくは「現フレームの電気信号」の一方から、標本回路に標本された暗信号の分を減じた信号を出力することを特徴とする。

【0020】このような構成により、請求項3に記載の動き検出用固体撮像装置では、垂直読み出し線を効率的に使用して、2フレーム分の電気信号に加えて暗信号まで時分割に出力する。画像信号出力回路は、前フレームもしくは現フレームの電気信号からこの暗信号の分を減ずることにより、暗信号を除去した高品質な電気信号を

出力することが可能となる。

【0021】（請求項4）請求項1ないし請求項3のいずれか1項に記載の動き検出用固体撮像装置において、上述した比較回路は、現フレームの電気信号と前フレームの電気信号とが許容範囲内で一致するか否かを判定し、判定結果の真偽に応じて2値化信号を出力する回路であることを特徴とする。

【0022】このような構成により、請求項4に記載の動き検出用固体撮像装置からは、前フレームと現フレームとの間で変化があったか否かを直接的に示す「2値化された動き検出信号」が出力される。

【0023】

【発明の実施の形態】以下、図面に基づいて、本発明の実施の形態を説明する。

【0024】（第1の実施形態）第1の実施形態は、請求項1～3に記載の発明に対応する実施形態である。図1は、第1の実施形態の回路構成を示す図である。図1において、動き検出用固体撮像装置10には、単位画素11が、n行m列にマトリックス配列される。これらの単位画素11の出力は、垂直列ごとに共通接続され、m本分の垂直読み出し線12を形成する。

【0025】また、動き検出用固体撮像装置10には、垂直転送のタイミングを決定するための垂直転送回路15が配置される。この垂直転送回路15からは、1行目の単位画素11に対し4種類の制御パルス $\phi TG1$ 、 $\phi RSG1$ 、 $\phi VA1$ 、 $\phi RSP1$ がそれぞれ供給される。同様に、残りの2～n行目の単位画素11に対しても、垂直転送回路15から出力される4種類の制御パルス $\phi TG2 \sim n$ 、 $\phi RSG2 \sim n$ 、 $\phi VA2 \sim n$ 、 $\phi RSP2 \sim n$ がそれぞれ供給される。

【0026】上記のm本分の垂直読み出し線12には、バイアス電流を供給するための電流源20と、差分処理回路21a（2重サンプリング回路）と、動体検出回路21b（2重サンプリング回路）とがそれぞれ接続される。これらm個の差分処理回路21aの標本制御端子には、制御パルス $\phi N$ が共通に供給される。このような制御パルス $\phi N$ は、例えば垂直転送回路15などから出力される。また、m個の差分処理回路21aの出力はすべて共通接続されて、画像信号用の水平読み出し線16aを形成する。この水平読み出し線16a上に出力される画像信号は、内部のビデオアンプ回路などを介して、動き検出用固体撮像装置10の外部へ出力される。

【0027】一方、m個の動体検出回路21bの標本制御端子には、制御パルス $\phi M$ が共通に供給される。このような制御パルス $\phi M$ は、例えば垂直転送回路15などから出力される。また、m個の動体検出回路21bの出力はすべて共通接続されて、動き検出信号用の水平読み出し線16bを形成する。この水平読み出し線16b上に出力される動き検出信号は、内部のビデオアンプ回路などを介して、動き検出用固体撮像装置10の外部へ出

力される。

【0028】また、動き検出用固体撮像装置10には、水平転送のタイミングを決定するための水平転送回路18が配置される。この水平転送回路18からは、1列目の差分処理回路21aおよび動体検出回路21bの水平制御端子に対して、制御パルス $\phi H1$ が共通に供給される。同様に、残りの2～m列目の差分処理回路21aおよび動体検出回路21bの水平制御端子には、水平転送回路18から出力される制御パルス $\phi H2 \sim \phi Hm$ がそれぞれ供給される。

【0029】また、水平読み出し線16a、16bには、リセット用のMOSスイッチ19a、19bがそれぞれ接続される。これらのMOSスイッチ19a、19bのゲートには、リセット用の制御パルス $\phi RH$ が供給される。このような制御パルス $\phi RH$ は、例えば水平転送回路18などから出力される。なお、図1に示していないが、垂直読み出し線12にも同様に、リセット用のMOSスイッチなどを設けてもよい。

【0030】（単位画素11の回路構成）次に、図1に基づいて、1行1列目に位置する単位画素11について、具体的な回路構成、並びに接続関係を説明する。なお、その他の単位画素11についても、制御パルスの添え字が異なるだけで、1行1列目の単位画素11と回路構成は同様である。

【0031】まず、この単位画素11には、埋め込み型のホトダイオード1が配置される。このホトダイオード1のアノードは、電荷転送用のMOSスイッチ3を介して、JFET（接合型FET）2のゲートに接続される。この電荷転送用のMOSスイッチ3のゲートには、垂直転送回路15から出力される制御パルス $\phi TG1$ が供給される。

【0032】また、JFET2のゲートは、信号電荷リセット用のMOSスイッチ4を介して、一定のリセット電位に保たれた金属配線7aに接続される。このMOSスイッチ4のゲートには、垂直転送回路15から出力される制御パルス $\phi RSG1$ が供給される。さらに、ホトダイオード1のアノードと金属配線7aとの間をバイパスして、電荷排出用のMOSスイッチ5が配置される。このMOSスイッチ5のゲートには、垂直転送回路15から出力される制御パルス $\phi RSP1$ が供給される。

【0033】また、JFET2のソースは、垂直転送用のMOSスイッチ6を介して垂直読み出し線12に接続される。このMOSスイッチ6のゲートには、垂直転送回路15から出力される制御パルス $\phi VA1$ が供給される。

【0034】（差分処理回路21aおよび動体検出回路21bの回路構成）次に、図1に基づいて、垂直読み出し線12の1列目に設けられた差分処理回路21aについて、具体的な回路構成を説明する。なお、2列目以降の差分処理回路21aについても、制御パルスの添え字

が一部異なるだけで、1列目の差分処理回路21aと回路構成は同様である。

【0035】まず、垂直読み出し線12に対し、暗信号を保持するためのコンデンサ22aの一端が接続される。このコンデンサ22aの他端には、接地電位などの一定電位を与えるためのMOSスイッチ23aと、水平転送用のMOSスイッチ24aとが接続される。このMOSスイッチ24aの反対側は、水平読み出し線16aに接続される。ここで、MOSスイッチ23aには、制御パルス $\phi N$ が供給される。また、MOSスイッチ24aには、水平転送回路18から出力される制御パルス $\phi H1$ が接続される。

【0036】次に、垂直読み出し線12の1列目に設けられた動体検出回路21bについて、具体的な回路構成を説明する。なお、2列目以降の動体検出回路21bについても、制御パルスの添え字が一部異なるだけで、1列目の動体検出回路21bと回路構成は同様である。まず、垂直読み出し線12に対し、前フレームの電気信号を保持するためのコンデンサ22bの一端が接続される。このコンデンサ22bの他端には、接地電位などの一定電位を与えるためのMOSスイッチ23bと、水平転送用のMOSスイッチ24bとが接続される。このMOSスイッチ24bの反対側は、水平読み出し線16bに接続される。ここで、MOSスイッチ23bには、制御パルス $\phi M$ が供給される。また、MOSスイッチ24bには、水平転送回路18から出力される制御パルス $\phi H1$ が接続される。

【0037】（単位画素11の半導体構造）次に、図2および図3を用いて、単位画素11の半導体構造について説明する。まず、単位画素11は、図3に示すように、基板30の主面側に形成されたn型領域31中に形成される。このn型領域31の中央には、表面近傍にp型蓄積領域35が面状形成される。このp型蓄積領域35の上面には、酸化膜界面の空乏化を防ぐためのn型領域が薄く設けられる。このようなp型蓄積領域35の周囲にできるpn接合により、埋め込み型のホトダイオード1が構成される。

【0038】このp型蓄積領域35周囲の一カ所に、電荷転送用のMOSスイッチ3のゲート領域を介して、JFET2のゲート領域2Gが配される。このゲート領域2Gの内部には、JFET2のソース2Sとドレイン2Dとをつなぐn型領域の通路が設けられる。MOSスイッチ3のゲート領域の真上には、酸化膜を介して、制御パルス $\phi TG1$ が印加されたポリシリコンなどの配線層が通過する（図3（b）を参照）。

【0039】ここで、JFET2のドレイン2D側は、n型領域31に直に接触して定電位に保たれる。一方、ソース2S側は、配線32を介して、垂直転送用のMOSスイッチ6の一方の主電極（ここではp型領域）に接続される。このMOSスイッチ6のゲート領域の真上に

10

20

30

40

50

は、酸化膜を介して、制御パルス $\phi VA1$ が印加されたポリシリコンなどの配線層が通過する(図3(a)を参照)。また、MOSスイッチ6の他方の主電極(ここではp型領域)は、垂直読み出し線12を形成する配線に接続される。

【0040】一方、JFET2のゲート領域2Gに隣接するように、MOSスイッチ4のゲート領域を介した排出用ドレイン部7が設けられる。このMOSスイッチ4のゲート領域の真上には、酸化膜を介して、制御パルス $\phi RSG1$ が印加されたポリシリコンなどの配線層が通過する(図3(a)を参照)。また、排出用ドレイン部7とp型蓄積領域35との間には、MOSスイッチ5のゲート領域が設けられる。このMOSスイッチ5のゲート領域の真上には、制御パルス $\phi RSP1$ が印加されたポリシリコンなどの配線層が通過する(図3(c)を参照)。

【0041】このように、排出用ドレイン部7は、MOSスイッチ4およびMOSスイッチ5の共通ドレインを構成する。この排出用ドレイン部7は、金属配線7aを介して、一定のリセット電位に保たれる。なお、図3に示すように、この金属配線7aは遮光膜を兼ねるため、

【0042】(本発明と第1の実施形態との対応関係)ここで、請求項1に記載の発明と第1の実施形態との対応関係については、受光部はホトダイオード1に対応し、増幅素子はJFET2に対応し、増幅素子の制御領域はゲート領域2Gに対応し、リセット回路はMOSスイッチ4に対応し、電荷転送回路はMOSスイッチ3に対応し、垂直読み出し線は垂直読み出し線12に対応し、読み出し回路はMOSスイッチ6に対応し、前フレーム垂直転送手段は垂直転送回路15の「前フレームの電気信号を垂直転送する機能」に対応し、現フレーム垂直転送手段は垂直転送回路15の「現フレームの電気信号を垂直転送する機能」に対応し、比較回路は動体検出回路21bに対応し、水平転送回路は水平転送回路18の「動き検出信号を水平転送する機能」に対応し、不要電荷排出回路はMOSスイッチ5に対応し、電子シャッタ回路は垂直転送回路15の「MOSスイッチ5を駆動してホトダイオード1の蓄積時間を制限する機能」に対応する。

【0043】また、請求項2に記載の発明と第1の実施形態との対応関係については、上述の対応関係に加えて、画像信号出力回路は、差分処理回路21aおよび水平転送回路18の「現フレームの画像信号を選択的に水平転送する機能」に対応する。さらに、請求項3に記載の発明と第1の実施形態との対応関係については、上述の対応関係に加えて、暗信号垂直転送手段は、垂直転送回路15の「JFET2の暗信号成分を垂直転送する機

能」に対応し、標本回路は差分処理回路21aの「暗信号を標本する機能」に対応する。

【0044】(第1の実施形態の動作)図4は、第1の実施形態の駆動タイミングを示すタイミングチャートである。なお、本図は、水平i行目以降の画素列読み出しについて示したものである。以下、図4を用いて、第1の実施形態の動作を説明する。まず、図4に示す期間T1のタイミングにおいて、制御パルス $\phi RSPi$ をローレベルに立ち下げる。すると、水平i行目の単位画素11では、MOSスイッチ5が導通し、その時点においてホトダイオード1に蓄積されていた不要電荷が排出される。この期間T1の終了間際には、制御パルス $\phi RSPi$ がハイレベルに復帰するため、水平i行目の単位画素11は、この期間T1の終了間際から信号電荷の蓄積を再開する。

【0045】次に、水平i行目の垂直転送動作の開始に当たり、図4に示す期間T2のタイミングにおいて、制御パルス $\phi VAi$ をローレベルに保持し、かつ制御パルス $\phi M$ をハイレベルに立ち上げる。この制御パルス $\phi VAi$ の立ち下げにより、水平i行目のMOSスイッチ6が導通する。このとき、JFET2のゲート領域2Gには、前フレームの読み出しに際して蓄積された信号電荷が残存する。そのため、JFET2のソースホロワ回路を介して、前フレームかつ水平i行目の電気信号が垂直読み出し線12上に出力される。一方、動体検出回路21b側では、制御パルス $\phi M$ の立ち上げにより、MOSスイッチ23bが導通する。その結果、コンデンサ22bを通る充電経路が形成され、前フレームかつ水平i行目の電気信号は、動体検出回路21b内のコンデンサ22bに充電される。この期間T2の終了間際に、制御パルス $\phi M$ が立ち下げられるため、コンデンサ22bの一端は再びフローティング状態となる。その結果、前フレームかつ水平i行目の電気信号は、コンデンサ22b群の両端電圧として保持される。

【0046】次に、図4に示す期間T3のタイミングにおいて、制御パルス $\phi RSGi$ をローレベルに立ち下げる。すると、水平i行目の単位画素11では、MOSスイッチ4が導通し、JFET2のゲート領域2Gに残留していた前フレームの信号電荷が排出される。その結果、ゲート領域2Gは、金属配線7aを介してリセット電圧に初期化される。このとき、制御パルス $\phi VAi$ は依然ローレベルに維持されるため、垂直読み出し線12には、水平i行目のJFET2において生じたゲートソース間電圧のばらつき(暗信号)が出力される。

【0047】続いて、図4に示す期間T4のタイミングにおいて、制御パルス $\phi Ni$ がハイレベルに立ち上げられる。差分処理回路21a側では、制御パルス $\phi Ni$ の立ち上げにより、MOSスイッチ23aが導通する。その結果、コンデンサ22aを通る充電経路が形成され、水平i行目の暗信号は、差分処理回路21a内のコンデンサ

22aに充電される。この期間T4の終了間際に、制御パルス $\phi_N$ が立ち下げられるため、コンデンサ22aの一端は再びフローティング状態となる。その結果、水平i行目の暗信号は、コンデンサ22a群の両端電圧として保持される。

【0048】次に、図4に示す期間T5のタイミングにおいて、制御パルス $\phi_{TG_i}$ がローレベルに立ち下げられる。すると、水平i行目の単位画素11において、MOSスイッチ3が導通し、水平i行目のホットダイオード1に蓄積された現フレームの信号電荷が、JFET2のゲート領域2Gに転送される。なお、ここでの信号電荷の蓄積時間（露光時間）は、期間T1の終了間際から期間T5の開始時点までの期間T<sub>ex</sub>に該当する。

【0049】この状態において、制御パルス $\phi_{VA_i}$ は依然ローレベルであるため、垂直読み出し線12からは、現フレームかつ水平i行目の電気信号が新たに出力される。そのため、動体検出回路21b側のコンデンサ22bの一端側には、現フレームかつ水平i行目の電気信号から、前フレームかつ水平i行目の電気信号を減じた差分が現れる。この差分は、フレーム間の差異をあらわすため、動き検出信号となる。

【0050】一方、差分処理回路21a側のコンデンサ22aの一端側には、現フレームかつ水平i行目の電気信号から、水平i行目の暗信号分を減じた差分が現れる。この差分は、暗信号成分が取り除かれた「現フレームの画像信号」である。

【0051】次に、図4に示す期間T6のタイミングにおいて、水平転送回路18は、制御パルス $\phi_{H1} \cdots \phi_{Hm}$ を立ち代わりハイレベルに順次設定する。そのため、m列分のコンデンサ22bの一端側は、1～m列の順番で水平読み出し線16bに接続される。その結果、水平読み出し線16b上では、水平i行目のフレーム間差分を示す動き検出信号が順次に出力される。

【0052】一方、m列分のコンデンサ22aの一端側は、1～m列の順番で水平読み出し線16aに接続される。その結果、水平読み出し線16a上では、現フレームかつ水平i行目の画像信号が順次に出力される。なお、期間T6中において、制御パルス $\phi_{H1} \cdots \phi_{Hm}$ をハイレベルに設定する合間に、 $\phi_{RH}$ がハイレベルに設定される。このような動作により、水平読み出し線16a、16b上の残留電荷が、MOSスイッチ19a、19bを介して毎回排出される。そのため、水平転送される動き検出信号および画像信号に残留電荷が混じることがない。（このように信号が間欠的に出力されるので、場合によっては、読み出し線16a、16bに接続されるビデオアンプ回路で零次ホールド動作を行ってもよい。）

上述した一連の処理を、その他の水平行についても順番に繰り返すことにより、水平読み出し線16bからは、1フレーム分に相当する動き検出信号が外部に出力され

る。また、水平読み出し線16aからは、現フレームの画像信号が外部に出力される。

【0053】なお、露光期間T<sub>ex</sub>について補足説明を行う。まず、水平i+1行目の画素を読み出す直前の期間T6の終了時に、制御パルス $\phi_{RSP_{i+r}}$ がローレベルに立ち下がり、水平i+r行目の画素のホットダイオード1に蓄積されていた不要電荷が排出される。これら水平i+r行目の画素のホットダイオード1は、この排出時点から水平i+r行目の読み出し開始までの期間、信号電荷を蓄積する。従って、第1の実施形態の露光時間T<sub>ex</sub>は、ほぼ水平(r-1)行分の読み出し時間に相当する。この露光時間T<sub>ex</sub>が全ての画素について一定となるように、制御パルス $\phi_{RSP_{1 \sim n}}$ が垂直転送回路15から出力される。

【0054】以上説明した動作により、第1の実施形態では、動体検出回路21bが、垂直読み出し線12に時分割出力される2フレーム分の電気信号の差分を取ることにより、動き検出信号を生成することができる。したがって、動き検出を行うために、固体撮像装置の外部に、AD変換回路、画像メモリや画像処理回路などの周辺回路を設ける必要が一切ない。その結果、動き検出を必要とする監視装置や画像圧縮装置などの装置全般を小型、かつ低コストに構成することが可能となる。

【0055】また、第1の実施形態では、AD変換回路を介さずに動き検出信号を生成している。そのため、AD変換回路によりダイナミックレンジが制限されることがなく、固体撮像装置自体の広いダイナミックレンジをそのまま利用して、動き検出を行うことができる。さらに、第1の実施形態では、画素ごとに比較回路を設ける場合に比べ、画素の構成を単純化することができる。したがって、開口率の向上、解像度の向上を比較的容易に図ることができる。

【0056】また、第1の実施形態では、前フレームの電気信号と現フレームの電気信号とが、固体撮像装置内において画素位置の位相ズレなく比較される。したがって、外部回路でフレーム間差をとる場合に比べ、画像のエッジ部分を動きと誤検出する不具合が一切なくなる。その上、第1の実施形態では、電荷転送用のMOSスイッチ3の遮断期間中に、電荷排出用のMOSスイッチ5を介してホットダイオード1中の不要電荷を直に排出する。このような機構により、動き検出の動作には一切支障を与えることなく、電子シャッタ機能を実現することができる。

【0057】特に、被写体の早い動きにより像が流れてしまうケースでは、フレーム間差に基づいて動体の位置を精密に検出することが困難となる。このようなケースにおいて、上記の電子シャッタ動作を用いて像の流れを防止することにより、精密な動き検出を実現することが可能となる。

【0058】また、第1の実施形態では、垂直読み出し

線 12 上を時分割出力される「現フレームの電気信号」を選択的に出力することにより、画像信号を出力することができる。特に、このような画像信号の出力動作は、動体検出回路 21 b 側の動き検出動作を一切妨げることがない。したがって、動き検出信号および画像信号を同時に出力することが可能となる。これら 2 種類の信号の同時出力は、監視装置などのように、画像を観察（記録）しながら動きを検出する必要がある用途に非常に適したものとなる。

【0059】さらに、第 1 の実施形態では、垂直読み出し線 12 を効率的に使用して、2 フレーム分の電気信号に加えて暗信号まで時分割に出力する。差分処理回路 21 a では、この暗信号に基づいて、暗信号を除去した高品質な電気信号を得ることができる。次に、別の実施形態について説明する。

【0060】（第 2 の実施形態）第 2 の実施形態は、請求項 1 ～ 4 に記載の発明に対応した実施形態である。図 5 は、第 2 の実施形態の回路構成を示す図である。図 5 において、動き検出用固体撮像装置 40 には、単位画素 11 が、n 行 m 列にマトリックス配列される。これらの単位画素 11 の出力は、垂直列ごとに共通接続され、m 本分の垂直読み出し線 12 を形成する。

【0061】また、動き検出用固体撮像装置 40 には、垂直転送のタイミングを決定するための垂直転送回路 15 が配置される。この垂直転送回路 15 からは、1 行目の単位画素 11 に対し 4 種類の制御パルス  $\phi TG1$ 、 $\phi RSG1$ 、 $\phi VA1$ 、 $\phi RSP1$  がそれぞれ供給される。同様に、残りの 2 ～ n 行目の単位画素 11 に対しても、垂直転送回路 15 から出力される 4 種類の制御パルス  $\phi TG2 \sim n$ 、 $\phi RSG2 \sim n$ 、 $\phi VA2 \sim n$ 、 $\phi RSP2 \sim n$  がそれぞれ供給される。

【0062】上記の m 本分の垂直読み出し線 12 には、バイアス電流を供給するための電流源 20 と、差分処理回路 21 a と、異値検出回路 41 b（後述）と、リセット用の MOS スイッチ 20 a とがそれぞれ接続される。これら m 個の差分処理回路 21 a の標本制御端子には、制御パルス  $\phi N$  が共通に供給される。このような制御パルス  $\phi N$  は、例えば垂直転送回路 15 などから出力される。また、m 個の差分処理回路 21 a の出力端子はすべて共通接続されて、画像信号用の水平読み出し線 16 a を形成する。この水平読み出し線 16 a 上に出力される画像信号は、内部のビデオアンプ回路などを介して、動き検出用固体撮像装置 40 の外部へ出力される。

【0063】さらに、水平読み出し線 16 a には、リセット用の MOS スイッチ 19 a が接続される。これらの MOS スイッチ 19 a のゲートには、リセット用の制御パルス  $\phi RH$  が供給される。このような制御パルス  $\phi RH$  は、例えば水平転送回路 18 などから出力される。また、動き検出用固体撮像装置 40 には、水平転送のタイミングを決定するための水平転送回路 18 が配置され

る。この水平転送回路 18 からは、1 列目の差分処理回路 21 a の水平制御端子に対して、制御パルス  $\phi H1$  が供給される。同様に、残りの 2 ～ m 列目の差分処理回路 21 a の水平制御端子にも、水平転送回路 18 から出力される制御パルス  $\phi H2 \sim \phi Hm$  がそれぞれ供給される。

【0064】一方、m 個の異値検出回路 41 b の標本制御端子には、制御パルス  $\phi SA$ 、 $\phi SB$  が供給される。このような制御パルス  $\phi SA$ 、 $\phi SB$  は、例えば垂直転送回路 15 などから出力される。また、m 個の異値検出回路 41 b の出力端子 Q は、シフトレジスタ 48 のパラレル入力にそれぞれ接続される。このシフトレジスタ 48 には、パラレルデータの取り込みタイミングを決定するための制御パルス  $\phi LD$  と転送クロック  $\phi CK$  とが入力される。これらのパルス  $\phi LD$ 、 $\phi CK$  は、例えば水平転送回路 18 などから供給される。また、シフトレジスタ 48 のシリアル出力は、動き検出信号として動き検出用固体撮像装置 40 の外部へ出力される。

【0065】なお、単位画素 11 および差分処理回路 21 a の内部構成については、第 1 の実施形態と同じなので同一の参照番号を付与して図 5 に示し、ここでの説明を省略する。

（異値検出回路 41 b の回路構成）次に、図 6（a）に基づいて、垂直読み出し線 12 の 1 列目に設けられた異値検出回路 41 b について、具体的な回路構成を説明する。なお、2 列目以降の異値検出回路 41 b についても、制御パルスの添え字が一部異なるだけで、1 列目の異値検出回路 41 b と回路構成は同様である。

【0066】まず、1 列目の垂直読み出し線 12 に対し、MOS スイッチ 42 a、42 b の一端側がそれぞれ接続される。この MOS スイッチ 42 a の他端側は、電圧保持用のコンデンサ 43 a と、コンパレータ 44 a の正側入力と、コンパレータ 44 b の負側入力とにそれぞれ接続される。

【0067】一方、MOS スイッチ 42 b の他端側は、電圧保持用のコンデンサ 43 b と、コンパレータ 44 a の負側入力と、コンパレータ 44 b の正側入力とにそれぞれ接続される。なお、図 6（b）に、これらのコンパレータ 44 a、44 b の入出力特性を示す。これらのコンパレータ 44 a、44 b の各出力は、オア回路 45 にそれぞれ入力される。このオア回路 45 の出力は、シフトレジスタ 48 のパラレル入力 Q1 に供給される。

【0068】（本発明と第 2 の実施形態との対応関係）ここで、請求項 1、4 に記載の発明と第 2 の実施形態との対応関係については、受光部はフォトダイオード 1 に対応し、増幅素子は JFET 2 に対応し、増幅素子の制御領域はゲート領域 2 G に対応し、リセット回路は MOS スイッチ 4 に対応し、電荷転送回路は MOS スイッチ 3 に対応し、垂直読み出し線は垂直読み出し線 12 に対応し、読み出し回路は MOS スイッチ 6 に対応し、前フレ



ーム垂直転送手段は垂直転送回路15の「前フレームの電気信号を垂直転送する機能」に対応し、現フレーム垂直転送手段は垂直転送回路15の「現フレームの電気信号を垂直転送する機能」に対応し、比較回路は異値検出回路41bに対応し、水平転送回路はシフトレジスタ48に対応し、不要電荷排出回路はMOSスイッチ5に対応し、電子シャッタ回路は垂直転送回路15の「MOSスイッチ5を駆動してホトダイオード1の蓄積時間を制限する機能」に対応する。

【0069】また、請求項2に記載の発明と第2の実施形態との対応関係については、上述の対応関係に加えて、画像信号出力回路は、差分処理回路21aおよび水平転送回路18の「現フレームの画像信号を選択的に水平転送する機能」に対応する。さらに、請求項3に記載の発明と第2の実施形態との対応関係については、上述の対応関係に加えて、暗信号垂直転送手段は、垂直転送回路15の「JFET2の暗信号成分を垂直転送する機能」に対応し、標本回路は差分処理回路21aの「暗信号を標本する機能」に対応する。

【0070】（第2の実施形態の動作）図7は、第2の実施形態の駆動タイミングを示すタイミングチャートである。なお、本図は、水平i行目以降の画素列読み出しについて示したものである。以下、図7を用いて、第2の実施形態の動作を説明する。まず、図7に示す期間T1のタイミングにおいて、制御パルス $\phi_{RSPi}$ をローレベルに立ち下げる。すると、水平i行目の単位画素11では、MOSスイッチ5が導通し、その時点においてホトダイオード1に蓄積されていた不要電荷が排出される。この期間T1の終了間際には、制御パルス $\phi_{RSPi}$ がハイレベルに復帰するため、水平i行目の単位画素11は、この期間T1の終了間際から信号電荷の蓄積を再開する。

【0071】次に、水平i行目の垂直転送動作の開始に当たり、図7に示す期間T2のタイミングにおいて、制御パルス $\phi_{VAi}$ をローレベルに保持し、かつ制御パルス $\phi_M$ をハイレベルに立ち上げる。この制御パルス $\phi_{VAi}$ の立ち下げにより、水平i行目のMOSスイッチ6が導通する。このとき、JFET2のゲート領域2Gには、前フレームの読み出しに際して蓄積された信号電荷が残存する。そのため、JFET2のソースホロワ回路を介して、前フレームかつ水平i行目の電気信号が垂直読み出し線12に出力される。一方、異値検出回路41b側では、この期間T2のタイミングで制御パルス $\phi_SA$ が立ち上げられる。そのため、MOSスイッチ42aが導通し、垂直読み出し線12およびコンデンサ43aを通る充電経路が形成される。その結果、前フレームかつ水平i行目の電気信号は、異値検出回路41b内のコンデンサ43aに充電される。この期間T2の終了間際に、制御パルス $\phi_SA$ が立ち下げられるため、コンデンサ43aの一端は再び垂直読み出し線12から切り離さ

れる。その結果、前フレームかつ水平i行目の電気信号は、コンデンサ43aの両端電圧として保持される。

【0072】次に、図7に示す期間T3のタイミングにおいて、制御パルス $\phi_{RSGi}$ をローレベルに立ち下げる。すると、水平i行目の単位画素11では、MOSスイッチ4が導通し、JFET2のゲート領域2Gに残留していた前フレームの信号電荷が排出される。その結果、ゲート領域2Gは、金属配線7aを介してリセット電圧に初期化される。このとき、制御パルス $\phi_{VAi}$ は依然ローレベルに維持されるため、垂直読み出し線12には、水平i行目のJFET2において生じたゲートソース間電圧のばらつき（暗信号）が出力される。

【0073】続いて、図7に示す期間T4のタイミングにおいて、制御パルス $\phi_N$ がハイレベルに立ち上げられる。差分処理回路21a側では、制御パルス $\phi_N$ の立ち上げにより、MOSスイッチ23aが導通する。その結果、垂直読み出し線12およびコンデンサ22aを通る充電経路が形成され、水平i行目の暗信号は、差分処理回路21a内のコンデンサ22aに充電される。この期間T4の終了間際に、制御パルス $\phi_N$ が立ち下げられるため、コンデンサ22aの一端は再びフローティング状態となる。その結果、水平i行目の暗信号は、コンデンサ22aの両端電圧として保持される。

【0074】次に、図7に示す期間T5のタイミングにおいて、制御パルス $\phi_{TGi}$ がローレベルに立ち下げられる。すると、水平i行目の単位画素11において、MOSスイッチ3が導通し、水平i行目のホトダイオード1に蓄積された現フレームの信号電荷が、JFET2のゲート領域2Gに転送される。なお、ここでの信号電荷の蓄積時間（露光時間）は、期間T1の終了間際から期間T5の開始時点までの期間 $T_{ex}$ に該当する。

【0075】この状態において、制御パルス $\phi_{VAi}$ は依然ローレベルであるため、垂直読み出し線12からは、現フレームかつ水平i行目の電気信号が新たに出力される。このとき、差分処理回路21a側のコンデンサ22aの一端側には、現フレームかつ水平i行目の電気信号から、水平i行目の暗信号分を減じた差分が現れる。この差分は、暗信号成分が取り除かれた「現フレームの画像信号」である。

【0076】次に、図7に示す期間T6のタイミングにおいて、制御パルス $\phi_{SB}$ が立ち上げられ、動体検出回路41b内のMOSスイッチ42bが導通する。その結果、垂直読み出し線12およびコンデンサ43bを通る充電経路が形成され、現フレームかつ水平i行目の電気信号は、異値検出回路41b内のコンデンサ43bに充電される。この期間T6の終了間際に、制御パルス $\phi_{SB}$ が立ち下げられるため、コンデンサ43bの一端は再び垂直読み出し線12から切り離される。その結果、前フレームかつ水平i行目の電気信号は、コンデンサ43bの両端電圧として保持される。

【0077】ここで、コンパレータ44a、44bは、図6(b)に示す入出力特性を有する。そのため、コンデンサ43a、43bの電圧差の絶対値が、閾値 $\Delta V$ を上回ると、コンパレータ44a、44bのどちらか一方の出力がハイレベルとなり、オア回路45の出力がハイレベルとなる。また、コンデンサ43a、43bの電圧差の絶対値が、閾値 $\Delta V$ を下回ると、コンパレータ44a、44bの双方の出力がローレベルとなり、オア回路45の出力がローレベルとなる。

【0078】この期間T6の終了間際において、シフトレジスタ48の制御パルス $\phi LD$ が立ち上げられることにより、上記したオア回路45の各出力結果は、シフトレジスタ48の平行入力にそれぞれ取り込まれる。次に、図7に示す期間T7中に、水平転送回路18は、制御パルス $\phi H1 \cdots \phi Hm$ を立ち代わりハイレベルに順次設定する。

【0079】そのため、m列分のコンデンサ22aの一端側は、1～m列の順番で水平読み出し線16aに接続される。その結果、水平読み出し線16a上では、現フレームかつ水平i行目の画像信号が順次に出力される。この期間T6中において、制御パルス $\phi H1 \cdots \phi Hm$ をハイレベルに設定する合間に、 $\phi RH$ がハイレベルに設定される。このような動作により、水平読み出し線16a上の残留電荷が、MOSスイッチ19aを介して毎回排出される。そのため、水平転送される画像信号に残留電荷が混じることがない。

【0080】また、この期間T7中に、シフトレジスタ48には転送クロック $\phi CK$ が順次に与えられる。その結果、シフトレジスタ48内に取り込まれた異値検出回路41bの各判定結果は水平方向に転送され、2値化された動き検出信号として順次に出力される。上述した一連の処理を、その他の水平行についても順番に繰り返すことにより、シフトレジスタ48からは、1フレーム分に相当する動き検出信号が外部出力される。また、水平読み出し線16aからは、現フレームの画像信号が外部出力される。

【0081】以上説明した動作により、第2の実施形態では、第1の実施形態と同様の効果を得ることができる。特に、第2の実施形態に特有な効果としては、異値検出回路41bにおいて、前フレームと現フレームとが許容範囲内（ここでは閾値 $\Delta V$ ）で等しいか否かが画素ごとに判定され、その判定結果が「2値化された動き検出信号」として外部出力される点である。

【0082】このように動き検出信号が既に2値化されているので、装置外部での動き判定などを簡略化することが可能となる。また、動き検出信号が2値化されているので、水平転送回路にシフトレジスタ48を使用することが可能となり、動き検出信号の水平転送動作において高速化と低雑音化とを容易に実現することができる。なお、上述した実施形態では、増幅素子としてJFET

2を使用し、JFET2のゲート領域2Gに信号電荷を蓄積しているが、この構成に特に限定されるものではない。一般的には、増幅機能を有する素子を増幅素子として使用することができる。例えば、増幅素子としてMOSトランジスタやバイポーラトランジスタなどを使用してもよいし、これらの素子を混在使用した機能素子を使用しても良い。また、これらの増幅素子のゲートやベースに発生する寄生容量に信号電荷を保持してもよいし、増幅素子のゲートやベースに信号電荷を保持するためのコンデンサなどを補助的に設けてもよい。

【0083】さらに、上述した実施形態では、読み出し回路として、垂直転送用のMOSスイッチ6を設けているが、これに限定されるものではない。例えば、増幅素子のゲートやベースに信号電荷を蓄積するためのコンデンサを設け、このコンデンサの他端側の電圧を上下させることにより、増幅素子と垂直読み出し線との接続・分離を制御してもよい。

【0084】また、上述した実施形態では、ホトダイオードで生じた信号電荷を、増幅素子の制御領域に直接転送する場合を説明したが、本発明はこれに限定されるものではない。例えば、信号電荷を拡散領域に転送し保持した後、その拡散領域の電位を信号線を介してMOSトランジスタのゲートで検出してもよい。このような画素の例としては、例えば、文献『Active Pixel Sensors: Are CCD's Dinosaurs?』, Fossum E.R., Proceeding of SPIE: Charge-Coupled Device and Solid State Optical Sensors III, Vol.1900, pp2-14(1993)に記されたものがある。

【0085】さらに、上述した実施形態では、単位画素11が2次元マトリックス状に配列されている場合を説明したが、1次元マトリックス状に配列されるライン撮像素子などに対しても、本発明が、同様に適用できるのは勿論である。なお、上述した第2の実施形態では、MOSスイッチ20aを特に駆動していないが、これに限定されるものではない。例えば、垂直読み出し線12上における時分割の信号転送の合間に、制御パルス $\phi VA1 \sim n$ をローレベルに一旦設定し、この状態で制御パルス $\phi RSV$ を瞬間的に立ち上げてよい。このような動作により、垂直読み出し線12上の残留電荷をMOSスイッチ20aを介して高速に排出することが可能となる。通常、垂直読み出し線12に寄生する容量性負荷のために、JFET2のソースホロウ出力は電圧低下の際に有効に機能せず、専ら定電流源20の引き込み電流によって垂直読み出し線12の電圧が低下する。上記したMOSスイッチ20aのリセット動作は、この垂直読み出し線12の電圧低下の動作を速やかに完了させることができる。したがって、このようなMOSスイッチ20aのリセット動作は、垂直読み出し動作の一層の高速化を図る場合に有効な対策となる。

【0086】また、上述した第2の実施形態では、図6

に示すような異値検出回路 4 1 b を使用しているが、この構成に限定されるものではない。一般的には、電気信号が一致しているか否かを判定する判定回路であれば、異値検出回路として使用することができる。例えば、図 8 に示すような異値検出回路 5 1 b を使用することもできる。以下、この異値検出回路 5 1 b の動作について説明する。

【0 0 8 7】まず、垂直読み出し線 1 2 に、前フレームの画素出力  $V_{old}$  が出力されるタイミングで、制御パルス  $\phi S C$  が一時的に立ち上げられる。その結果、MOS スイッチ  $Q B 1$ 、 $Q B 2$  が導通し、コンデンサ  $C C A$ 、 $C C B$  を介した充電経路が形成される。

【0 0 8 8】このとき、コンデンサ  $C C A$  の両端には、 $(V_{old} - V T + V t h)$  の電圧が保持される。一方、コンデンサ  $C C B$  の両端には、 $(V_{old} - V T - V t h)$  の電圧が保持される。次に、垂直読み出し線 1 2 に、現フレームの画素出力  $V_{now}$  が出力されると、コンデンサ  $C C A$  の他端側には、 $(V_{now} - V_{old} + V T - V t h)$  の電圧値が現れる。一方、コンデンサ  $C C B$  の他端側には、 $(V_{now} - V_{old} + V T + V t h)$  の電圧値が現れる。なお、インバータ  $I N V 1$ 、 $I N V 2$  の閾値電圧は  $V T$  に設定される。

【0 0 8 9】以上のような電圧関係により、 $(V_{now} - V_{old})$  が  $V T h$  を上回ると、インバータ  $I N V 1$  はローレベルを出力する。一方、 $(V_{now} - V_{old})$  が  $V T h$  を下回ると、インバータ  $I N V 1$  はハイレベルを出力する。また、 $(V_{now} - V_{old})$  が  $(-V T h)$  を上回ると、インバータ  $I N V 2$  はローレベルを出力する。一方、 $(V_{now} - V_{old})$  が  $(-V T h)$  を下回ると、インバータ  $I N V 2$  はハイレベルを出力する。

【0 0 9 0】これらの論理出力は、インバータ  $I N V 3 \sim 5$  を介した後、NAND 回路  $N A$  にそれぞれ入力される。その結果、NAND 回路  $N A$  からは、 $(V_{now} - V_{old})$  の値が  $(-V T h) \sim V T h$  の範囲内にある場合、ローレベルが出力される。また、 $(V_{now} - V_{old})$  の値が  $(-V T h) \sim V T h$  の範囲外にある場合、ハイレベルが出力される。

【0 0 9 1】なお、これらの論理出力が決定されたタイミングで、制御パルス  $\phi S D$  を立ち上げることで、MOS スイッチ  $Q B 3$ 、 $Q B 4$  が導通する。その結果、インバータ  $I N V 3$ 、 $I N V 4$  を介してコンデンサ  $C C A$ 、 $C C B$  が正帰還方向に再充電され、論理出力を安定化することができる。このような回路動作により、異値検出回路 5 1 b を用いて、2 フレーム間の画素出力が許容範囲内で一致するか否かを判定することができる。したがって、図 5 に示す異値検出回路 4 1 b に代えて、異値検出回路 5 1 b を設けることが可能となる。

【0 0 9 2】

【発明の効果】（請求項 1）以上説明したように、請求項 1 の発明では、垂直読み出し線上に「前フレームの電

気信号」と「現フレームの電気信号」とが時分割に出力される。これらの電気信号を比較することにより、固体撮像装置の内部において動き検出を実現することができる。

【0 0 9 3】そのため、固体撮像装置の外部に、A D 変換回路、画像メモリや画像処理回路などの周辺回路を特に設けることなく動き検出を行うことができる。したがって、装置全体を小型、かつ低コストに構成することが可能となる。また、請求項 1 の発明では、動き検出用固体撮像装置の外部に従来必要であった A D 変換回路が不要になる。その結果、A D 変換回路によりダイナミックレンジが制限されることもなくなり、固体撮像装置自体の広いダイナミックレンジで、動き検出を行うことができる。

【0 0 9 4】さらに、請求項 1 の発明では、画素ごとに比較回路を設ける場合に比べ、画素の構成を単純化することができる。したがって、開口率の向上、解像度の向上を図ることができる。また、請求項 1 の発明では、前フレームの電気信号と現フレームの電気信号とが、固体撮像装置内において画素位置のズレなく比較される。したがって、外部回路でフレーム間差をとる場合に比べ、画素位置の位相ズレによる動きの誤検出を生じるおそれは一切なく、動き検出を一段と高精度に行うことが可能となる。

【0 0 9 5】その上、請求項 1 に発明では、電荷転送回路の遮断期間中に、不要電荷排出回路を介して受光部の不要電荷を直に排出する。このような動作により、電子シャッタ機能を確実に実現することができる。

【0 0 9 6】また、このような電子シャッタの動作は、電荷転送回路の遮断期間に行われるので、制御領域に保持した前フレームの信号電荷を損なうことがない。したがって、動き検出の動作には一切支障を与えることなく、電子シャッタ機能を実現することができる。特に、被写体の早い動きにより像が流れた場合、フレーム間差に基づく動き検出の動作を精密に行うことが困難となる。そのため、上記のように、動き検出の動作に支障を与えない電子シャッタ機能を有する本発明は、動き検出用固体撮像装置として特に好適な構成である。

【0 0 9 7】（請求項 2）請求項 2 に記載の発明では、垂直読み出し線上を時分割に出力される「前フレームの電気信号」もしくは「現フレームの電気信号」のどちらか一方を選択的に出力することにより、画像信号を出力することができる。このような画像信号の出力動作は、比較回路側の動き検出動作を一切妨げることなく行われるので、動き検出の信号と画像信号とを同時出力することが可能となる。

【0 0 9 8】特に、このような画像信号と動き検出信号の同時出力により、これら両信号を用いた画像表示のバリエーションが格段に増え、動き検出用固体撮像装置の用途が著しく広がる。（請求項 3）請求項 3 に記載の発

明では、垂直読み出し線を効率的に使用して、2フレーム分の電気信号に加えて暗信号まで時分割に出力する。標本回路側では、この暗信号に基づいて、暗信号を除去した高品質な電気信号を生成する。

【0099】特に、このような暗信号の垂直転送動作は、2フレーム分の電気信号の垂直転送動作の間合になされるため、動き検出の動作に一切支障を生じることがない。したがって、動き検出の信号と、高品質な画像信号とを同時出力することが可能となる。

【0100】（請求項4）請求項4に記載の発明では、比較回路の動作により、前フレームと現フレームとの間で変化の有ったか否かを画素単位に示す2値化された動き検出信号が出力される。このような2値化された動き検出信号により、装置外部での動き判定などを簡略化することが可能となる。また、動き検出信号が2値化されているので、水平転送回路にシフトレジスタ回路を使用することができる。このようなシフトレジスタ回路の使用により、動き検出信号の水平転送動作において高速化と低雑音化とを容易に実現することができる。

【図面の簡単な説明】

【図1】第1の実施形態の回路構成を示す図である。

【図2】単位画素11のレイアウト例を説明する図である。

【図3】単位画素11の各部の断面構造を説明する図である。

【図4】第1の実施形態の駆動タイミングを示すタイミングチャートである。

【図5】第2の実施形態の回路構成を示す図である。

【図6】異値検出回路41bの回路構成を示す図である。

【図7】第2の実施形態の駆動タイミングを示すタイミングチャートである。

【図8】異値検出回路の回路例を示す図である。

【図9】従来の動き検出用画像処理装置100を示す図である。

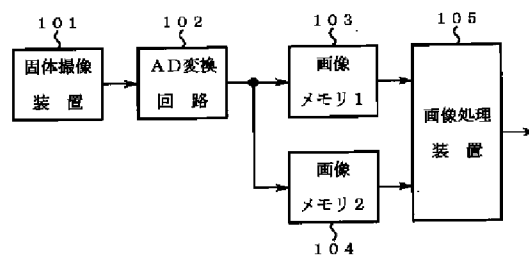
【符号の説明】

- \* 1 ホトダイオード
- 2 J F E T
- 2 G ゲート領域
- 2 S ソース
- 2 D ドレイン
- 3 電荷転送用のMOSスイッチ
- 4 信号電荷リセット用のMOSスイッチ
- 5 電荷排出用のMOSスイッチ
- 6 垂直転送用のMOSスイッチ
- 7 排出用ドレイン部
- 7 a 金属配線
- 10 動き検出用固体撮像装置
- 11 単位画素
- 12 垂直読み出し線
- 15 垂直転送回路
- 16 a 水平読み出し線
- 16 b 水平読み出し線
- 18 水平転送回路
- 19 a, 19 b MOSスイッチ
- 20 21 a 差分処理回路
- 21 b 動体検出回路
- 22 a コンデンサ
- 23 a MOSスイッチ
- 24 a 水平転送用のMOSスイッチ
- 30 基板
- 31 n型領域
- 35 p型蓄積領域
- 40 動き検出用固体撮像装置
- 41 b 異値検出回路
- 30 42 a MOSスイッチ
- 43 a コンデンサ
- 44 a コンパレータ
- 44 b コンパレータ
- 45 オア回路
- 48 シフトレジスタ
- \* 51 b 異値検出回路

【図9】

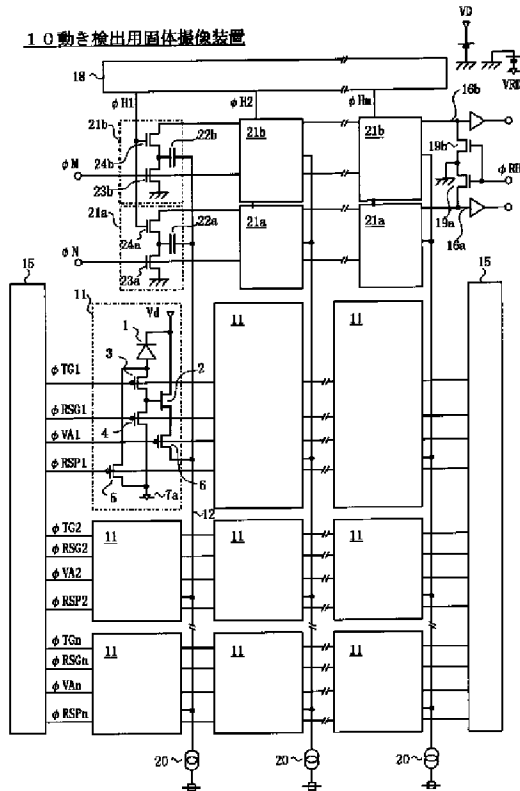
従来の動き検出用画像処理装置を示す図

100（動き検出用画像処理装置）



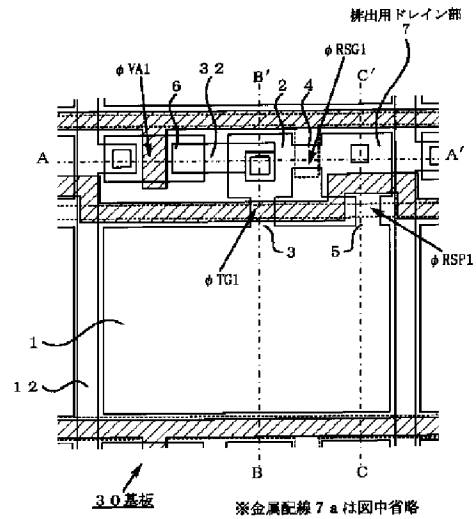
【図1】

第1の実施形態（請求項1〜3に対応）を示す図



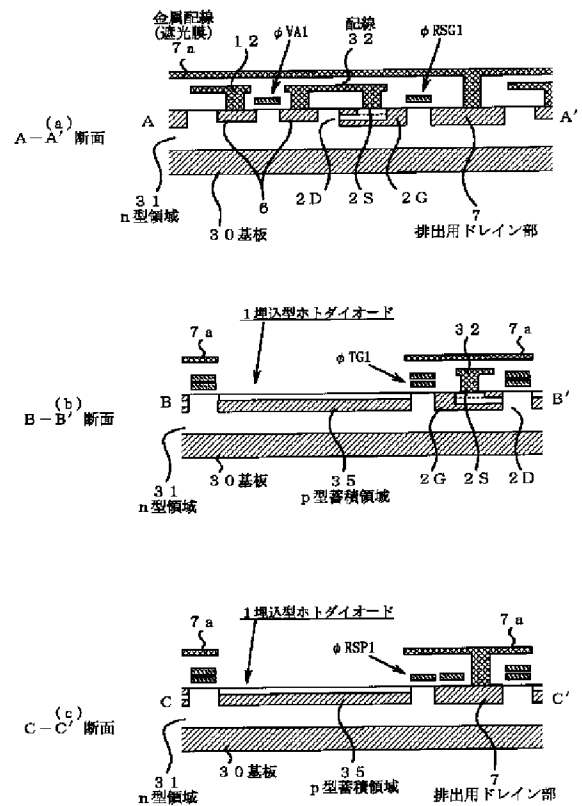
【図2】

単位画素11のレイアウト例を説明する図



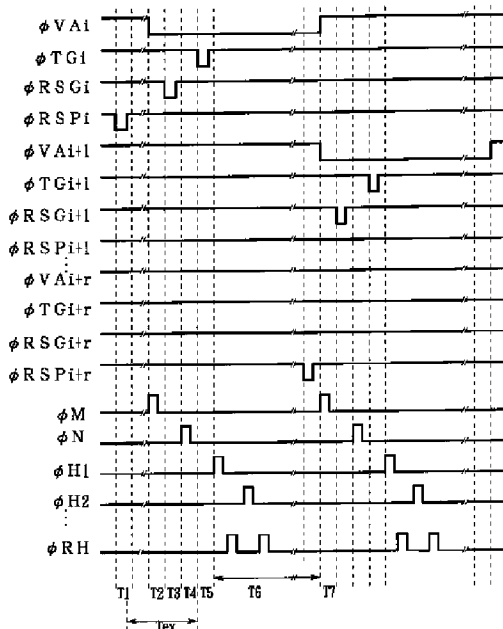
【図3】

単位画素11の各部の断面構造を説明する図



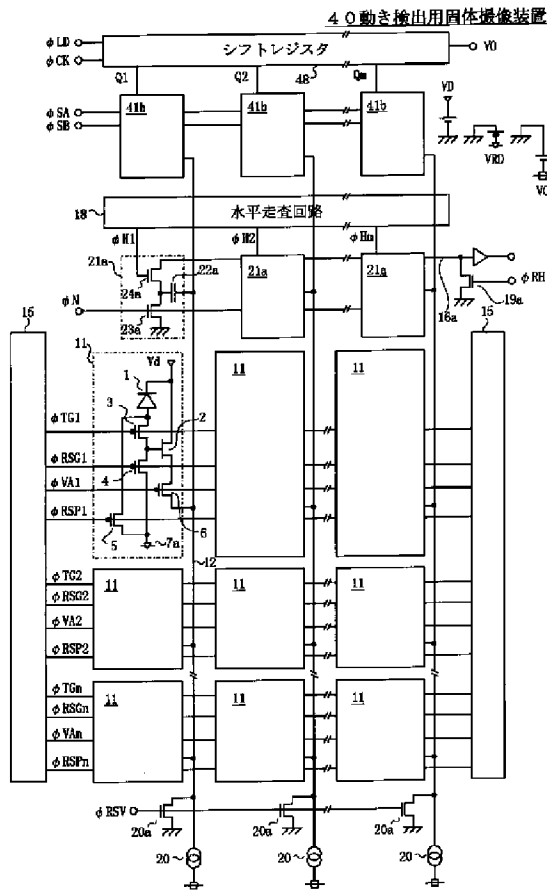
【図4】

第1の実施形態の動作を示すタイミングチャート



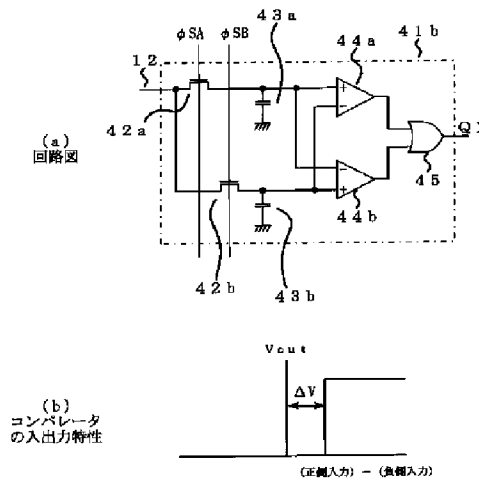
【図5】

第2の実施形態（請求項1～4に対応）を示す図



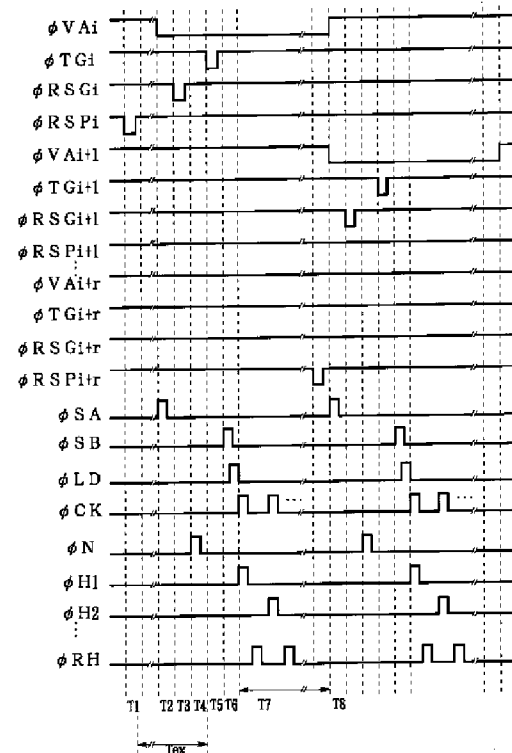
【図6】

異値検出回路41bの回路構成を示す図



【図7】

第2の実施形態の動作を示すタイミングチャート



【図8】

異値検出回路の回路例を示す図

